

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 8 月 2 0 日
Date of Application:

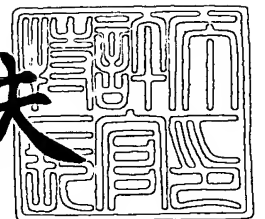
出 願 番 号 特 願 2 0 0 2 - 2 3 9 4 5 5
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 3 9 4 5 5]

出 願 人 エルピーダメモリ株式会社
Applicant(s):

2 0 0 3 年 7 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 5 4 3

【書類名】 特許願

【整理番号】 22310224

【提出日】 平成14年 8月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/31

【発明の名称】 半導体装置の製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 東京都中央区八重洲 2 - 2 - 1 エルピーダメモリ株式会社
会社内

【氏名】 佐藤 好弘

【特許出願人】

【識別番号】 500174247

【氏名又は名称】 エルピーダメモリ株式会社

【代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【電話番号】 03-5295-0851

【手数料の表示】

【予納台帳番号】 029388

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117862

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 下地酸化膜上に導電層を堆積する第 1 の工程と、
前記導電層上に第 1 及び第 2 の絶縁膜を順次に堆積する第 2 の工程と、
前記第 1 及び第 2 の絶縁膜が同じパターンとなるように、該第 1 及び第 2 の絶縁膜をパターンニングする第 3 の工程と、
前記第 2 の絶縁膜を前記第 1 の絶縁膜よりも小さな幅のパターンを有するよう
に選択的にエッチングする第 4 の工程と、
前記第 1 及び第 2 の絶縁膜をマスクとして前記導電層をパターンニングする第 5
の工程と、
前記第 1 及び第 2 の絶縁膜の上から全面に第 3 の絶縁膜を堆積する第 6 の工程
と、
前記第 3 の絶縁膜をエッチバックし、該第 3 の絶縁膜が少なくとも前記第 5 の
工程でパターンニングされた導電層の側壁を覆うサイドウォールとなるように形成
する第 7 の工程と、
前記サイドウォールの上から全面に第 4 の絶縁膜を堆積する第 8 の工程とを順
次に有することを特徴とする半導体装置の製造方法。

【請求項 2】 下地酸化膜上に導電層を堆積する第 1 の工程と、
前記導電層上に第 1 及び第 2 の絶縁膜を順次に堆積する第 2 の工程と、
前記第 1 及び第 2 の絶縁膜が同じパターンとなるように、該第 1 及び第 2 の絶縁膜をパターンニングする第 3 の工程と、
前記第 1 及び第 2 の絶縁膜をマスクとして前記導電層をパターンニングする第 4
の工程と、
前記第 2 の絶縁膜を前記第 1 の絶縁膜よりも小さな幅のパターンを有するよう
に選択的にエッチングする第 5 の工程と、
前記第 1 及び第 2 の絶縁膜の上から全面に第 3 の絶縁膜を堆積する第 6 の工程
と、
前記第 3 の絶縁膜をエッチバックし、該第 3 の絶縁膜が少なくとも前記第 4 の

工程でパターンニングされた導電層の側壁を覆うサイドウォールとなるように形成する第7の工程と、

前記サイドウォールの上から全面に第4の絶縁膜を堆積する第8の工程とを順次に有することを特徴とする半導体装置の製造方法。

【請求項3】 前記第7の工程では、前記サイドウォールが前記下地酸化膜に向かって幅が広くなるテーパ状に形成される、請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記第8の工程に後続して、前記サイドウォールをエッチングストップ層として前記第4の絶縁膜をエッチングし、該第4の絶縁膜中にコンタクトホールを形成する工程を更に有する、請求項1～3の何れかに記載の半導体装置の製造方法。

【請求項5】 前記第1及び第2の絶縁膜がそれぞれシリコン窒化膜及びシリコン酸化膜である、請求項1～4の何れかに記載の半導体装置の製造方法。

【請求項6】 半導体メモリを製造することを特徴とする、請求項1～5の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、更に詳しくは、多層構造の半導体装置の製造方法に関する。

【0002】

【従来の技術】

DRAMなどの半導体装置では、複数の配線層を積層する多層配線構造を採用して占有面積を減少すると共に、プロセスが微細化して、集積度が更に向上している。このような高集積の半導体装置では、特にデバイスの平面方向のサイズが縮小されるため、配線のアスペクト比（縦横比）が高くなり、隣接する配線間の間隔が狭くなる。

【0003】

ここで、図5（a）～（d）及び図6（e）は、2層ハードマスクを使用した

従来の配線及び層間絶縁膜形成の様子を段階的に示している。まず、下地酸化膜 10 上に、ビット線 11 となるべきメタル導電層 11a を堆積し、その上に 2 層ハードマスクとなる絶縁膜 12、及び、酸化膜 13 を順次に堆積する。絶縁膜 12 は、酸化膜 13 に対して十分なエッチング選択比を有する。その後、フォトレジスト膜を酸化膜 13 上に塗布し、これをパターンニングして、フォトレジストパターン 14 を得る。次いで、フォトレジストパターン 14 をマスクとして、絶縁膜 12 及び酸化膜 13 までをエッチングする（図 5（a））。

【0004】

次いで、フォトレジストパターン 14 を剥離して、メタル導電層 11a をエッチングし、絶縁膜 12 の直下に所定配線幅のビット線 11 を形成する（図 5（b））。その後、全面に絶縁膜 15 を堆積する（図 5（c））。絶縁膜 15 をエッチバックすると、絶縁膜 15 は、絶縁膜サイドウォール 16 となる（図 5（d））。このとき、絶縁膜 12 上の酸化膜 13 は、完全に除去されず、その一部が残っていてもよい。

【0005】

絶縁膜サイドウォール 16 を形成した後に、層間絶縁膜 17 を用いて絶縁膜 12 及び絶縁膜サイドウォール 16 を埋設する（図 5（e））。このとき、同図では、絶縁膜サイドウォール 16 間に埋め込み不良（ボイド）が発生している。一般に、隣接して配設されるビット線 11 の間隔が狭く、絶縁膜 12 及び絶縁膜サイドウォール 16 のアスペクト比が高い場合、つまり、隣接する絶縁膜サイドウォール 16 間の開口幅が狭く、底部が深い場合には、層間絶縁膜 17 の埋め込みに不良が発生しやすくなるという問題が発生する。

【0006】

ビット線 11 の形成に際しては、2 層ハードマスクを使用するのに代えて、単層ハードマスクを使用することもできる。図 7（a）～（c）及び図 8（d）～（f）は、単層ハードマスクを使用した従来の配線及び層間絶縁膜形成の様子を段階的に示している。

【0007】

まず、下地酸化膜 10 上に、メタル導電層 11a、及び、絶縁膜 12 を順次に

堆積する。その後、フォトレジスト膜を絶縁膜 12 上に塗布してパターンニングし、フォトレジストパターン 14 を得る。その後、フォトレジストパターン 14 をマスクとして、絶縁膜 12 までをエッチングする (図 7 (a))。次いで、フォトレジストパターン 14 を剥離して、メタル導電層 11a をエッチングし、絶縁膜 12 の直下に所定配線幅のビット線 11 を形成する (図 7 (b))。その後、前面に絶縁膜 15 を堆積する (図 7 (c))。

【0008】

絶縁膜 15 を堆積した後に、エッチバックすると、絶縁膜 15 は、絶縁膜サイドウォール 16 となる (図 8 (d))。このとき単層ハードマスクを使用するため、ビット線 11 上の絶縁膜 12 の膜厚の減少が 2 層ハードマスクを使用した場合よりも大きくなり、ビット線 11 上を覆う絶縁膜 12 の膜厚が薄くなる。絶縁膜サイドウォール 16 を形成した後に、層間絶縁膜 17 を用いて絶縁膜 12 及び絶縁膜サイドウォール 16 を埋設する (図 8 (e))。このような単層ハードマスクを使用する場合には、隣接する絶縁膜サイドウォール 16 間の底部が浅くなるため、2 層ハードマスクを使用する場合に比べて層間絶縁膜 17 の埋め込み不良は発生しにくい。

【0009】

層間絶縁膜 17 の形成後に、隣接するビット線 11 間にキャパシタとのコンタクトを形成する場合には、絶縁膜 12 及び絶縁膜サイドウォール 16 をエッチングストップ層とする SAC (self align contact) エッチングにより層間絶縁膜 17 をエッチングし、容量コンタクト (コンタクトホール) 18 を形成する (図 8 (f))。このとき、ビット線 11 上の絶縁膜 12 の膜厚が十分に確保されていないため、同図では、容量コンタクト 18 を形成した際に、ビット線 11 がむき出しになっており、容量コンタクト 18 とビット線 11 との間で短絡不良が発生している。

【0010】

【発明が解決しようとする課題】

上記したように、半導体装置の微細化が進み、隣接する配線間の間隔が狭くなると、層間絶縁膜を形成する際に、配線間の埋設不良が発生し易くなる。特に 2

層ハードマスクを使用した場合には、隣接する絶縁膜サイドウォール16間の底部が深くなってアスペクト比が増加し、埋め込み不良が発生しやすい。2層ハードマスクに代えて単層ハードマスクを使用した場合には、絶縁膜サイドウォール16間の底部が浅くなって、配線間の埋め込み性は向上する。しかし、この場合には、配線上の絶縁膜残膜を確保することが困難になることから、容量コンタクトを形成する際のSACエッチマージンが小さくなり、短絡不良が発生し易くなるという問題がある。

【0011】

単層ハードマスクを使用し、配線間の埋め込み性を向上させる技術として、特開2000-31277号公報には、アルミ配線上に堆積した酸化膜の角をそぎ落とした後に層間絶縁膜を堆積する技術が記載されている。該公報に記載の技術では、隣接する配線の間隔が狭い場合であっても、酸化膜の角がそぎ落とされているために隣接する酸化膜間の開口が広くなり、層間絶縁膜が良好に形成できる。しかし、この場合、配線上の酸化膜残膜が薄くなるため、容量コンタクトを形成する際のSACエッチのマージンが小さくなり、短絡不良が発生しやすいという問題を解決することができない。

【0012】

本発明の半導体装置の製造方法は、上記問題点を解消し、2層ハードマスクを使用しながらも、配線間を層間絶縁膜により良好に埋設することができ、コンタクトホール形成の際に短絡不良が発生しにくい半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置の製造方法は、下地酸化膜上に導電層を堆積する第1の工程と、前記導電層上に第1及び第2の絶縁膜を順次に堆積する第2の工程と、前記第1及び第2の絶縁膜が同じパターンとなるように、該第1及び第2の絶縁膜をパターンニングする第3の工程と、前記第2の絶縁膜を前記第1の絶縁膜よりも小さな幅のパターンを有するように選択的にエッチングする第4の工程と、前記第1及び第2の絶縁膜をマスクとして前記導電層を

パターンニングする第5の工程と、前記第1及び第2の絶縁膜の上から全面に第3の絶縁膜を堆積する第6の工程と、前記第3の絶縁膜をエッチバックし、該第3の絶縁膜が少なくとも前記第5の工程でパターンニングされた導電層の側壁を覆うサイドウォールとなるように形成する第7の工程と、前記サイドウォールの上から全面に第4の絶縁膜を堆積する第8の工程とを順次に有することを特徴とする。

【0014】

本発明の半導体装置の製造方法では、第1の絶縁膜、及び、第1の絶縁膜に対してエッチング選択比を有する第2の絶縁膜を、配線となるべき導電層上に順次に堆積し、第1及び第2の絶縁膜をパターンニングしたのちに、第2の絶縁膜を、第1の絶縁膜から選択的にエッチングして、第2の絶縁膜のパターン幅を、第1の絶縁膜のパターン幅よりも狭くする。その後、導電層をエッチングして配線をパターンニングし、第3の絶縁膜を第1及び第2の絶縁膜上に堆積し、第3の絶縁膜をエッチバックすると、第3の絶縁膜によって少なくともパターンニングされた配線の側面が覆われたサイドウォールが形成される。第1の絶縁膜の下層に位置する配線は、第3の絶縁膜で形成されるサイドウォールと第1の絶縁膜とで覆われる。第3の絶縁膜で形成されるサイドウォールは、下地酸化膜側の方が、上層側よりも厚く形成されるため、配線の間隔が狭く設定されている場合であっても、第4の絶縁膜で配線間を埋め込む際にボイドなどの埋め込み不良が発生しにくく、配線のカバレッジが向上する。

【0015】

また、本発明の別の視点の半導体装置の製造方法は、下地酸化膜上に導電層を堆積する第1の工程と、前記導電層上に第1及び第2の絶縁膜を順次に堆積する第2の工程と、前記第1及び第2の絶縁膜が同じパターンとなるように、該第1及び第2の絶縁膜をパターンニングする第3の工程と、前記第1及び第2の絶縁膜をマスクとして前記導電層をパターンニングする第4の工程と、前記第2の絶縁膜を前記第1の絶縁膜よりも小さな幅のパターンを有するよう選択的にエッチングする第5の工程と、前記第1及び第2の絶縁膜の上から全面に第3の絶縁膜を堆積する第6の工程と、前記第3の絶縁膜をエッチバックし、該第3の絶縁膜が

少なくとも前記第4の工程でパターンニングされた導電層の側壁を覆うサイドウォールとなるように形成する第7の工程と、前記サイドウォールの上から全面に第4の絶縁膜を堆積する第8の工程とを順次に有することを特徴とする。

【0016】

本発明の半導体装置の製造方法では、第1の絶縁膜、及び、第1の絶縁膜に対してエッチング選択比を有する第2の絶縁膜を、配線となるべき導電層上に順次に堆積し、第1及び第2の絶縁膜をパターンニングしたのちに、導電層をエッチングして配線を形成する。配線の形成後、第2の絶縁膜を、第1の絶縁膜から選択的にエッチングして、第2の絶縁膜のパターン幅を、第1の絶縁膜のパターン幅よりも狭くする。このとき下地酸化膜の表面がエッチングにより後退する。その後、第3の絶縁膜を第1及び第2の絶縁膜上に堆積し、第3の絶縁膜をエッチバックすると、第3の絶縁膜によって少なくともパターンニングされた配線の側面が覆われたサイドウォールが形成される。第1の絶縁膜の下層に位置する配線は、第3の絶縁膜で形成されるサイドウォールと第1の絶縁膜とで覆われる。第3の絶縁膜で形成されるサイドウォールは、下地酸化膜側の方が、上層側よりも厚く形成されるため、配線の間隔が狭く設定されている場合であっても、第4の絶縁膜で配線を埋め込む際にボイドなどの埋め込み不良が発生しにくく、配線のカバレッジが向上する。

【0017】

本発明の半導体装置の製造方法では、前記第7の工程では、前記サイドウォールが前記下地酸化膜に向かって幅が広くなるテーパ状に形成されることが好ましい。このテーパ形状は、第2の工程における第2の絶縁膜を堆積する厚みや、第4又は第5の工程における第2の絶縁膜を選択的にエッチングする際のエッチング時間などで所望の形状に調整できる。

【0018】

本発明の半導体装置の製造方法は、前記第8の工程に後続して、前記サイドウォールをエッチングストッパ層として前記第4の絶縁膜をエッチングし、該第4の絶縁膜中にコンタクトホールを形成する工程を更に有することができる。この場合、配線を覆う第1及び第3の絶縁膜の膜厚が十分に確保されているので、コ

ンタクトホールを形成した際に、配線が露出して短絡不良が発生する確率が低くなる。

【0019】

本発明の半導体装置の製造方法では、前記第1及び第2の絶縁膜を、それぞれシリコン窒化膜及びシリコン酸化膜とすることができる。この場合、公知のエッチング技術によって、双方の膜のエッチング選択比を適切に設定できる。

【0020】

本発明の半導体装置の製造方法は、半導体メモリの製造に適用することができる。この場合、ビット線やワード線などの配線を良好に埋め込むことができる。特に、隣接して配線されるペアビット線の間隔が狭く設定されている場合であっても、ペアビット線間の埋め込みが良好となって、半導体メモリの動作を安定させることができる。

【0021】

【発明の実施の形態】

以下、図面を参照し、本発明の実施形態例に基づいて、本発明を更に詳細に説明する。図1(a)～(d)及び図2(e)～(g)は、本発明の第1実施形態例の半導体装置の製造方法の工程段階を順次に示している。本実施形態例の製造方法では、2層ハードマスクを用いて配線（ビット線）を形成し、ビット線を絶縁膜で保護した後に層間絶縁膜を積層する工法を採用する。

【0022】

まず、下地酸化膜10の上に、ビット線11となるべきメタル導電層11aを堆積し、その上に2層ハードマスクとなる絶縁膜12、及び、酸化膜13を順次に堆積する。メタル導電層11aとしては、タングステンを使用することができる。その後、酸化膜13上にフォトリソist膜を塗布し、フォトリソistをパターンニングしてフォトリソistパターン14を得る。次いで、フォトリソistパターン14をマスクとして、絶縁膜12及び酸化膜13までをエッチングする（図1(a)）。絶縁膜12としては、例えば窒化膜などを使用することができ、絶縁膜12は、酸化膜13に対して十分なエッチング選択比を有する。

【0023】

次いで、フォトレジストパターン 14 を剥離して、DHF（ふっ酸水溶液）又は BHF（緩衝ふっ酸）などを用いて酸化膜ウェットエッチを行ない、酸化膜 13 を所望の量だけエッチングする。（図 1（b））。このとき、酸化膜 13 は絶縁膜 12 に比してパターンサイズが減少する。つまり、酸化膜 13 の幅が絶縁膜 12 の幅よりも狭くなる。その後、酸化膜 13 及び絶縁膜 12 をマスクとしてメタル導電層 11a をエッチングし、絶縁膜 12 の直下に所定配線幅のビット線 11 を形成する（図 1（c））。

【0024】

続いて、全面に絶縁膜 15 を堆積する（図 1（d））。このとき堆積した絶縁膜 15 は、下地酸化膜 10 側の幅が広く、酸化膜 13 側の幅が狭い順テーパ形状となる。このテーパ形状は、図 1（a）における酸化膜 13 を成膜する膜厚や、図 1（b）における酸化膜 13 の酸化膜ウェットエッチ時間などを適切に設定することにより調整できる。

【0025】

絶縁膜 15 を堆積した後に、エッチバックすると、絶縁膜 15 は、絶縁膜 12 及びビット線 11 の側壁を覆う、順テーパ形状の絶縁膜サイドウォール 16 となる（図 2（e））。このとき、絶縁膜 12 上の酸化膜 13 は、完全に除去されず、その一部が残っていてもよい。絶縁膜サイドウォール 16 を形成した後に、HDP（high density plasma）法などによって層間絶縁膜 17 を形成し、絶縁膜 12 及び絶縁膜サイドウォール 16 を埋設する（図 2（f））。また、隣接するビット線 11 間にキャパシタとのコンタクトを形成するために、ビット線 11 間を、絶縁膜 12 及び絶縁膜サイドウォール 16 をエッチングストッパ層とする SAC（self align contact）エッチングによりエッチングして容量コンタクト 18 を形成する（図 2（g））。

【0026】

本実施形態例では、絶縁膜 12 及び酸化膜 13 からなる二層ハードマスクをエッチングマスクとして用いてビット線 11 をパターンニングし、酸化膜 13 を絶縁膜 12 から選択的に後退させた後に、絶縁膜 15 を前面に堆積して絶縁膜サイドウォール 16 を形成する。ビット線間にキャパシタとのコンタクトを形成する際

に、2層ハードマスクを使用することでビット線11上の絶縁膜12の膜厚が確保されているため、SACエッチングを行なった際に、ビット線11-容量コンタクト18間の短絡などの不良は発生しにくい。

【0027】

また、絶縁膜サイドウォール16が順テーパ形状に形成されるため、隣接して配設されるビット線11の間隔が狭い場合であっても、絶縁膜サイドウォール16間の上部の開口を広くとることができる。このため、絶縁膜12及び絶縁膜サイドウォール16を層間絶縁膜17で埋め込む際に、その埋設が良好となってビット線11間の埋め込み性が向上し、ビット線11の埋め込み不良によって生じるペアビット不良などが低減する。

【0028】

図3(a)～(d)及び図4(e)～(g)は、本発明の第2実施形態例の半導体装置の製造方法により得られる半導体装置を段階的に示している。本実施形態例では、酸化膜13をエッチングした後にビット線11をパターンニングする(図1(b)、(c))のに代えて、ビット線11をパターンニングした後に酸化膜13をエッチングする点で、第1実施形態例と相違する。

【0029】

まず、下地酸化膜10の上に、メタル導電層11a、絶縁膜12、及び、絶縁酸化膜13を順次に堆積させる。その後、酸化膜13上にフォトレジスト膜を塗布し、フォトレジストをパターンニングしてフォトレジストパターン14を得る。次いで、フォトレジストパターン14をマスクとして、絶縁膜12及び酸化膜13までをエッチングする(図3(a))。

【0030】

次いで、フォトレジストパターン14を剥離し、メタル導電層11aをエッチングして、絶縁膜12の直下に所定配線幅のビット線11を形成する(図3(b))。その後、酸化膜ウェットエッチを行なって、酸化膜13を所望の量だけエッチングする。(図1(c))。このとき、酸化膜13は絶縁膜12に比してパターンサイズが減少する。つまり、酸化膜13の幅が絶縁膜12の幅よりも狭くなる。また、下地酸化膜10は、エッチングによりその表面が除去される。続い

て、再び絶縁膜 15 を堆積する（図 3（d））。このとき堆積した絶縁膜 15 は、下地酸化膜 10 側の幅が広く、酸化膜 13 側の幅が狭い順テーパ形状となる。

【0031】

絶縁膜 15 を堆積した後に、エッチバックすると、絶縁膜 15 は、順テーパ形状の絶縁膜サイドウォール 16 となる（図 4（e））。このとき、絶縁膜 12 上の酸化膜 13 は、完全に除去されず、その一部が残っていてもよい。絶縁膜サイドウォール 16 を形成した後に、層間絶縁膜 17 を用いて絶縁膜 12 及び絶縁膜サイドウォール 16 を埋設する（図 4（f））。また、隣接するビット線 12 間にキャパシタとのコンタクトを形成するために、ビット線 12 間を SAC（self align contact）エッチングし、容量コンタクト 18 を形成する（図 4（g））。

。

【0032】

本実施形態例では、下地酸化膜 10 の表面が、酸化膜 13 を選択的にエッチングする際にエッチングされて削除されるが、本実施形態例も、第 1 実施形態例と同様に、容量コンタクト 18 を形成する際の SAC エッチングマージンが大きく、かつ、層間絶縁膜 17 の形成が良好に行なえる。

【0033】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明の半導体装置の製造方法は、上記実施形態例にのみ限定されるものでなく、上記実施形態例の構成から種々の修正及び変更を施した半導体装置の製造方法も、本発明の範囲に含まれる。例えば図 1（b）では、酸化膜ウェットエッチに代えて、アルゴンガスを使用したスパッタエッチングなどのドライエッチング法を用いて酸化膜 13 のパターン幅を減少することもできる。

【0034】

【発明の効果】

以上説明したように、本発明の半導体装置の製造方法では、2 層ハードマスクの酸化膜の一部を選択的にエッチングした後に絶縁膜を堆積して、下層側の側面の膜厚が、上層側の側面の膜厚よりも厚く形成されるサイドウォールを得る。サイドウォールの上層側の側面の膜厚を薄く形成することで、配線上の絶縁膜の膜

厚を十分に確保しながらも、配線を層間絶縁膜などで埋め込む際の埋め込み性を向上することができる。また、隣接する配線間にコンタクトホールを形成する際に、配線上の絶縁膜の膜厚が確保されることで、短絡不良が発生しにくい。

【図面の簡単な説明】

【図 1】

(a) ～ (d) は、本発明の第 1 実施形態例の半導体装置の製造方法で製造される半導体装置の各製造段階における断面図。

【図 2】

(e) ～ (g) は、本発明の第 1 実施形態例の半導体装置の製造方法で製造される半導体装置の、図 1 に後続する各製造段階における断面図。

【図 3】

(a) ～ (d) は、本発明の第 2 実施形態例の半導体装置の製造方法で製造される半導体装置の各製造段階における断面図。

【図 4】

(e) ～ (g) は、本発明の第 2 実施形態例の半導体装置の製造方法で製造される半導体装置の、図 3 に後続する各製造段階における断面図。

【図 5】

(a) ～ (d) は、2 層ハードマスクを使用した従来の半導体装置の各製造段階における断面図。

【図 6】

(e) は、2 層ハードマスクを使用した従来の半導体装置の、図 5 に後続する製造段階における断面図。

【図 7】

(a) ～ (c) は、単層ハードマスクを使用した従来の半導体装置の各製造段階における断面図。

【図 8】

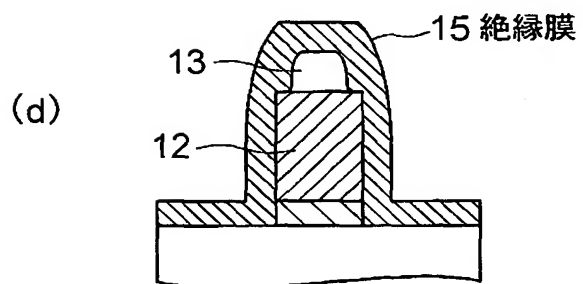
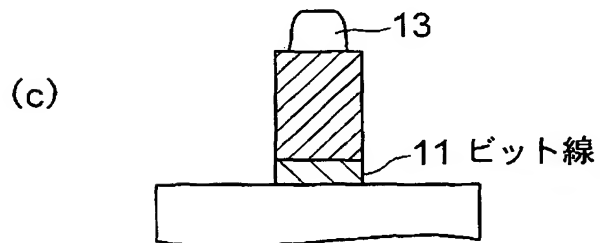
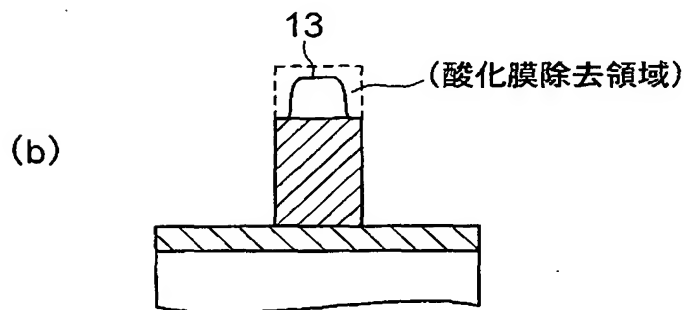
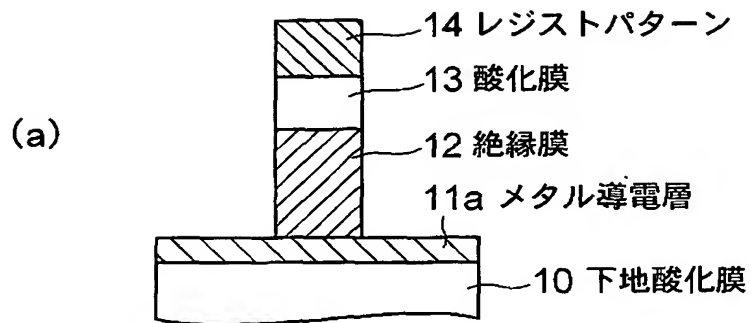
(d) ～ (f) は、単層ハードマスクを使用した従来の半導体装置の、図 7 に後続する各製造段階における断面図。

【符号の説明】

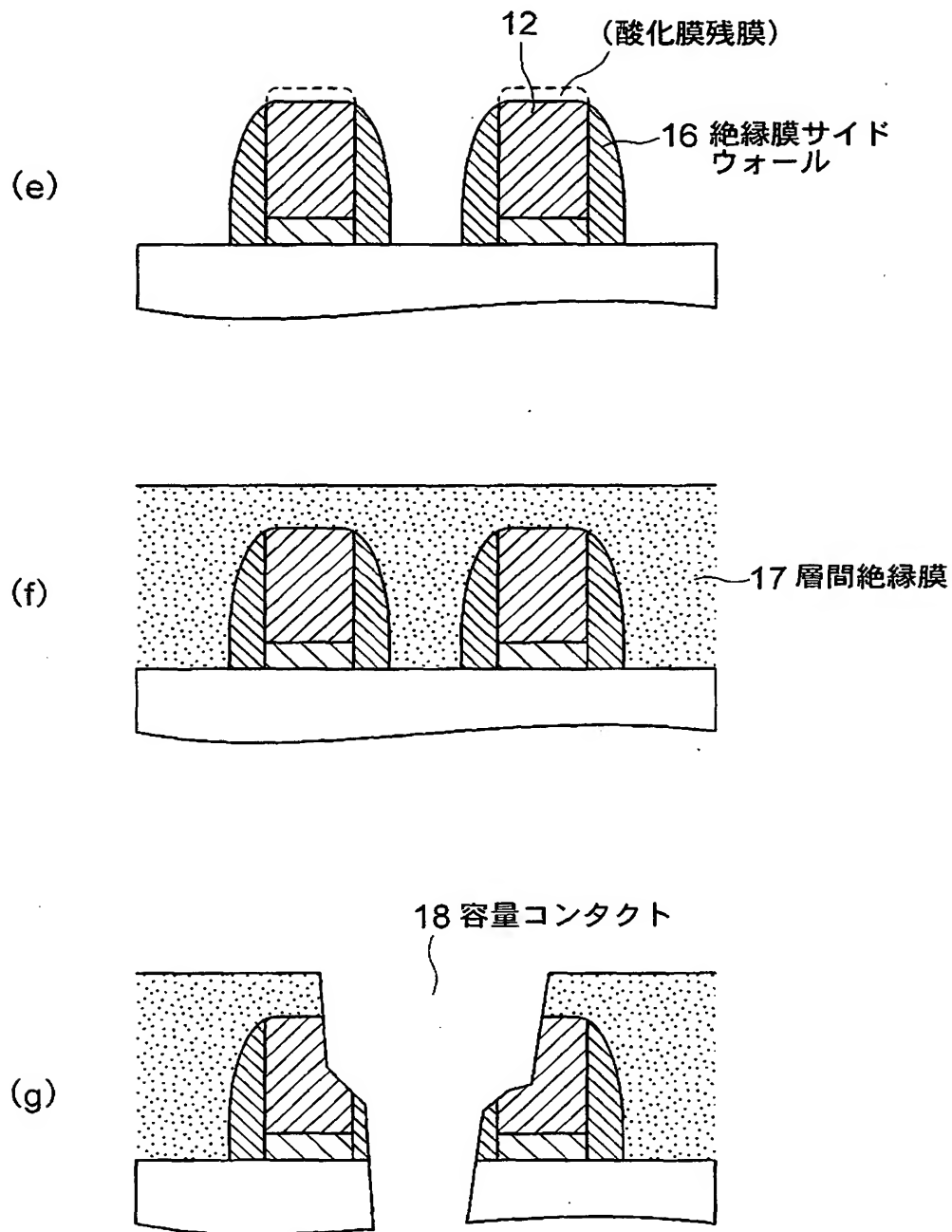
- 1 0：下地酸化膜
- 1 1：ビット線
- 1 2、1 5：絶縁膜
- 1 3：酸化膜
- 1 4：レジストパターン
- 1 6：絶縁膜サイドウォール
- 1 7：層間絶縁膜
- 1 8：容量コンタクトホール

【書類名】 図面

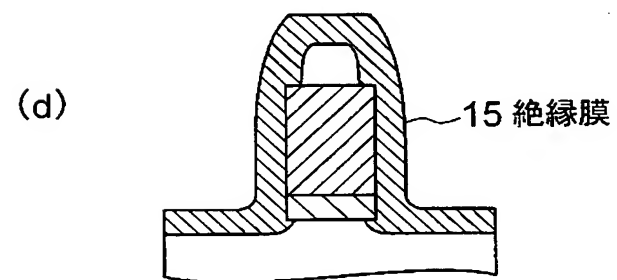
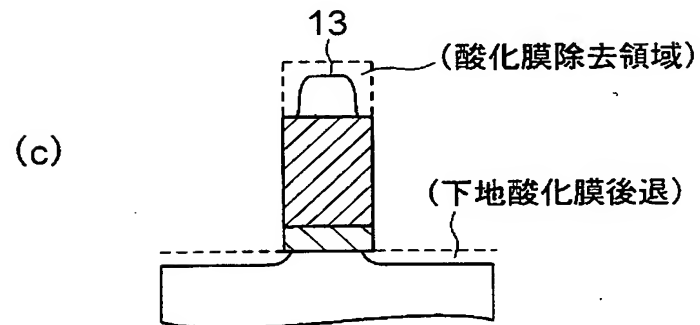
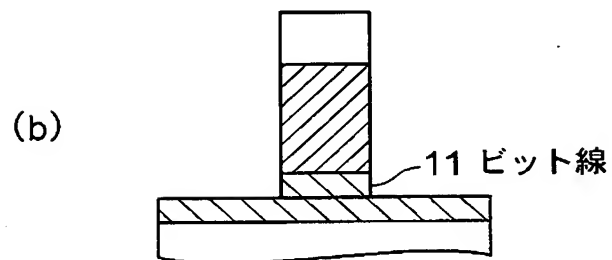
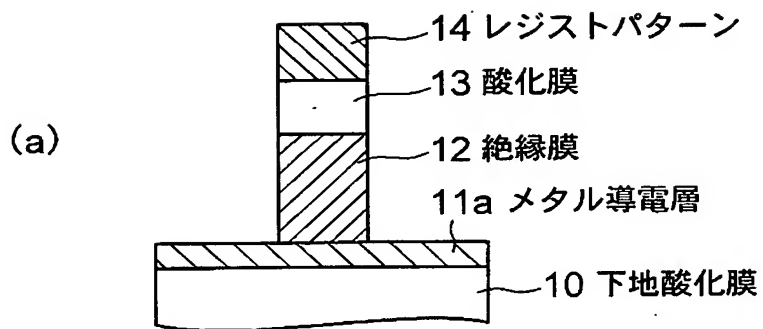
【図 1】



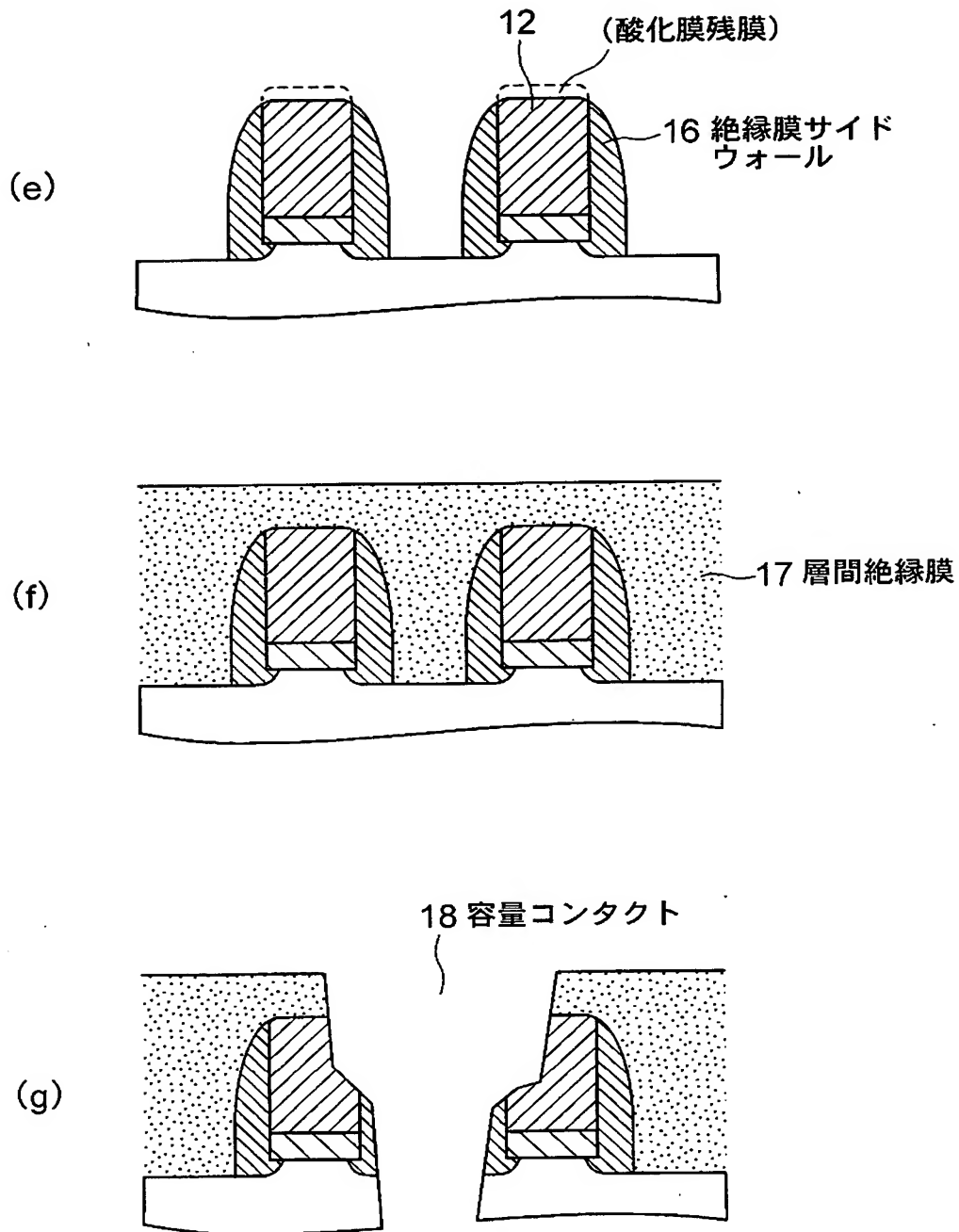
【図 2】



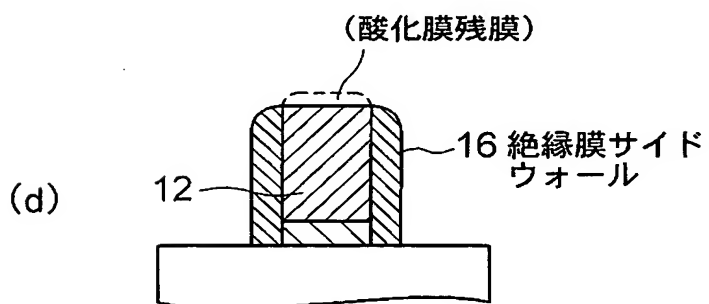
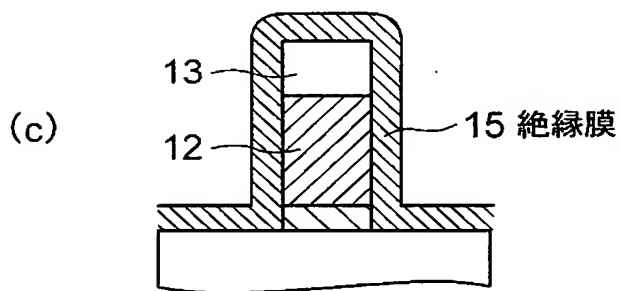
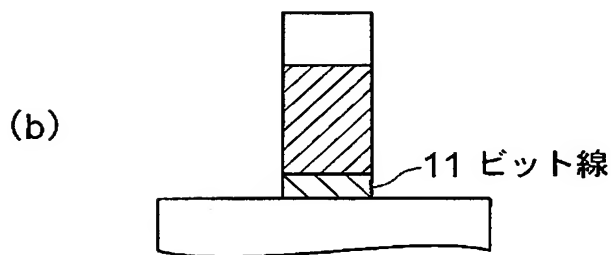
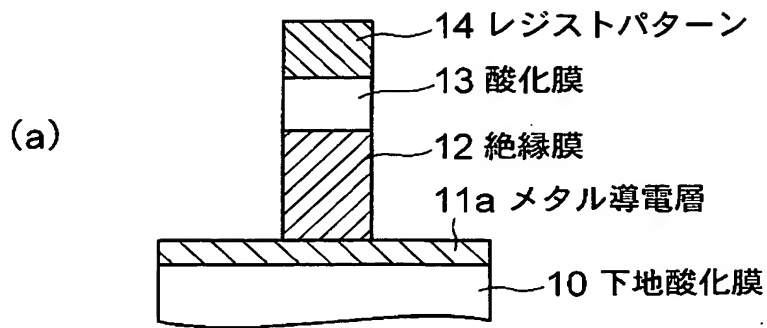
【図3】



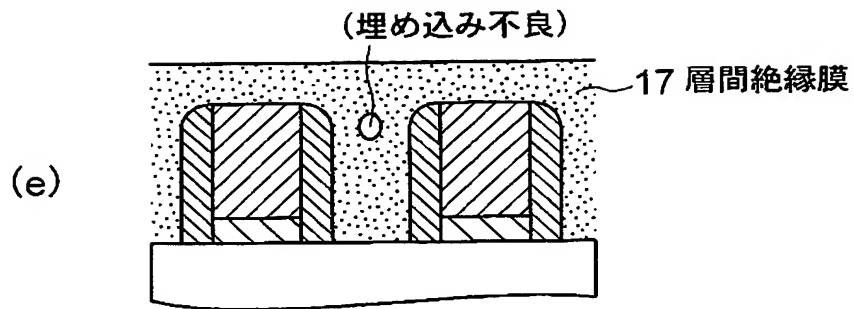
【図 4】



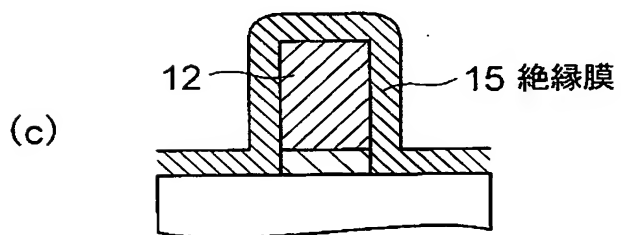
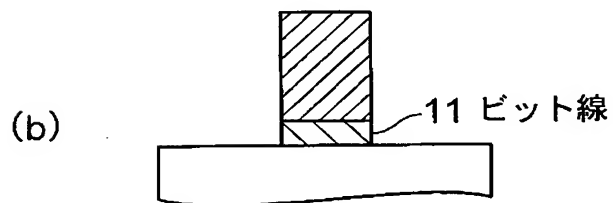
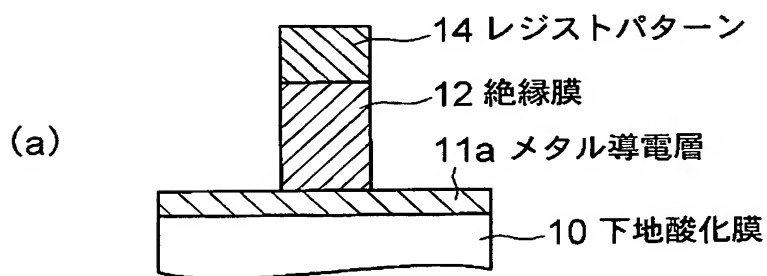
【図 5】



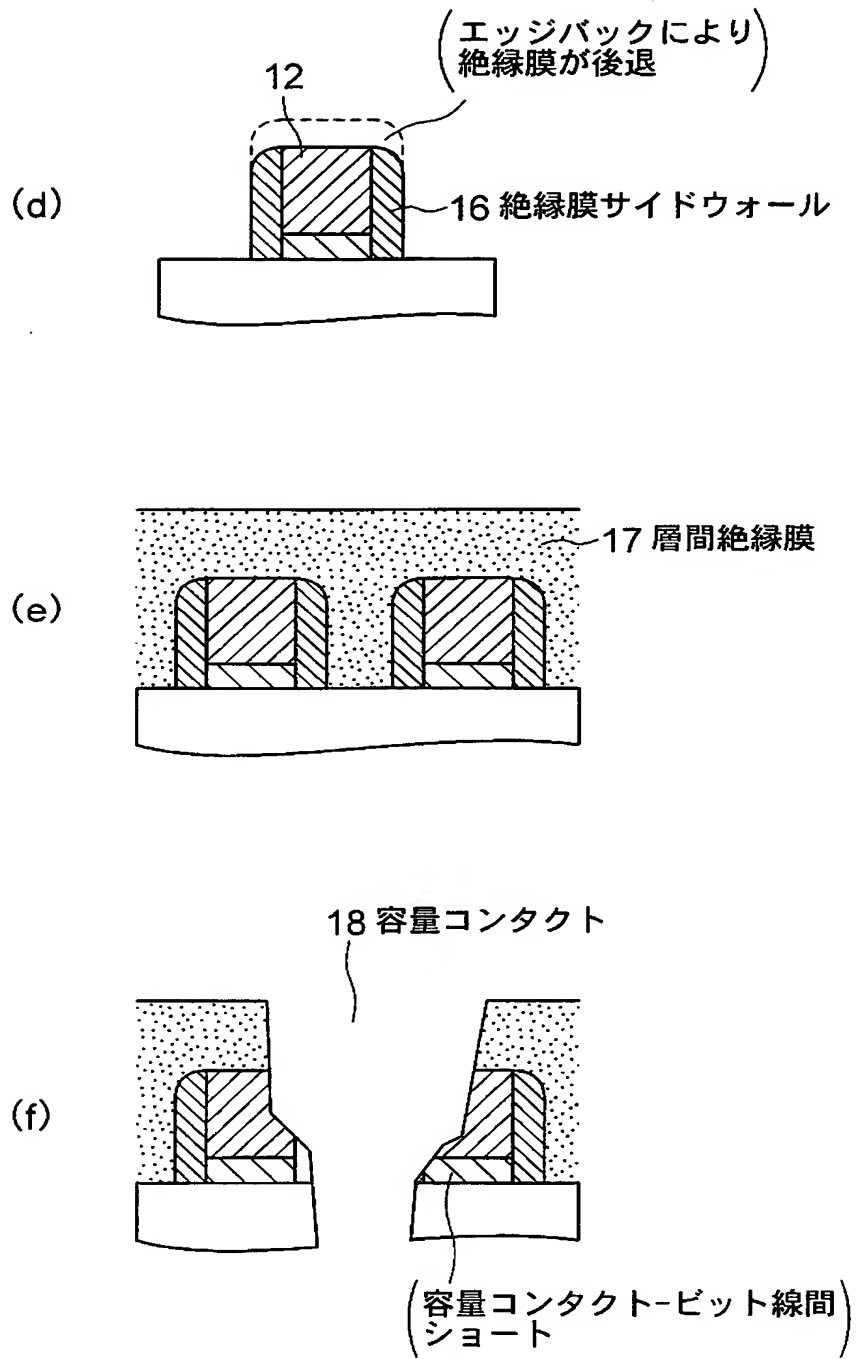
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 配線上の絶縁膜の膜厚を厚く設定しながらも、層間絶縁膜の埋め込み性が良好な半導体装置の製造方法を提供する。

【解決手段】 下地酸化膜 10 上にメタル導電層 11 a を堆積し、メタル導電層 11 a 上に絶縁膜 12 及び酸化膜 13 を順次に堆積する。絶縁膜 12 及び酸化膜 13 が同じパターンとなるように、パターニングした後に、酸化膜 13 を絶縁膜 12 から選択的にエッチングし、酸化膜 13 を絶縁膜 12 よりも小さな幅のパターンに形成する。その後、絶縁膜 12 及び酸化膜 13 の上から全面に絶縁膜 15 を堆積し、絶縁膜 15 をエッチバックして、絶縁膜 15 が少なくともビット線 11 の側壁を覆うように絶縁膜サイドウォールを形成する。絶縁膜サイドウォールの上から全面に、層間絶縁膜を堆積して、ビット線 11 を埋め込む。

【選択図】 図 1

特願 2 0 0 2 - 2 3 9 4 5 5

出 願 人 履 歴 情 報

識別番号

[5 0 0 1 7 4 2 4 7]

1. 変更年月日

2 0 0 0 年 7 月 1 2 日

[変更理由]

名称変更

住 所

東京都中央区八重洲 2 - 2 - 1

氏 名

エルピーダメモリ株式会社